

1/1 JAPIO - (C) JPO

PN - JP 08031749 A 19960202 [***JP08031749***]

TI - FORMATION OF POLYCRYSTALLINE SEMICONDUCTOR THIN FILM AND
MANUFACTURE

OF THIN-FILM TRANSISTOR

IN - KAKINUMA HIROAKI; MORI MIKIO

PA - OKI ELECTRIC IND CO LTD

AP - JP16174394 19940714 [1994JP-0161743]

IC1 - H01L-021/205

IC2 - H01L-021/324 H01L-029/786

AB - PURPOSE: To provide a method for forming a polycrystalline thin film
by which the grain diameter of crystal grains can be increased without
increasing the flow rate of material gas.

- CONSTITUTION: On a glass substrate 22, poly-Si 42 is deposited by PCVD
to the thickness of 100nm as a first-layer polycrystalline layer 42.
Then, on the polycrystalline layer 42, an amorphous layer 44 is
deposited to the thickness of about 2nm so as to partially cover
crystal grains 44 which constitute the polycrystalline layer 42. At
that time, only the large grains 42a are exposed on the surface of the
.alpha.-Si. Next, a second-layer polycrystalline layer 46 is
deposited on the first-layer polycrystalline layer 42 on which the
amorphous layer 44 is deposited. At that time, the poly-Si 46 regrows
with the relatively large grains 42a which are exposed on the surface
of the .alpha.-Si 44 used as crystal nuclei, therefore the grain
diameter becomes large.

- COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-31749

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/205

21/324

29/786

D

9056-4M

H 0 1 L 29/ 78

3 1 1 H

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号

特願平6-161743

(22) 出願日

平成6年(1994)7月14日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 柿沼 弘明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 毛利 幹雄

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

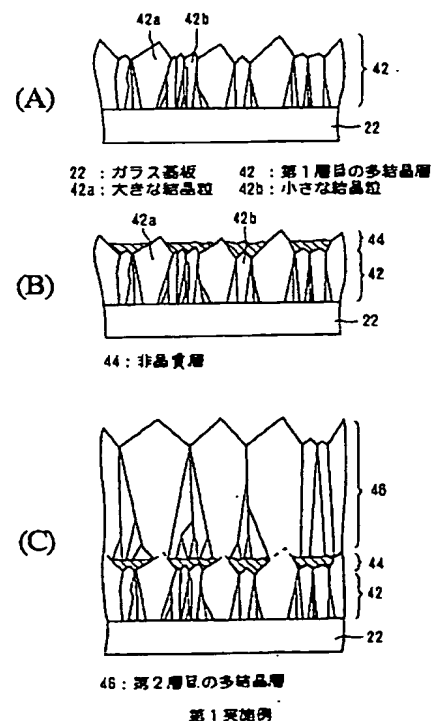
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 多結晶半導体薄膜の形成方法およびそれを用いた薄膜トランジスタの形成方法

(57) 【要約】

【目的】 原料ガスの流量を増やさずに結晶粒の粒径を大きくすることができる、多結晶薄膜の形成方法の提供。

【構成】 ガラス基板22上に、第1層目の多結晶層42として、poly-Si42をPCVD法により厚さ100nm堆積する。次に、この多結晶層42上に、この多結晶層42を構成する結晶粒44を部分的に覆う厚さで、非晶質層44を厚さ約2nm堆積する。このとき、主に大きなグレイン42aのみが部分的に α -Siの表面に露出した状態となる。次に、この非晶質層44を堆積した第1層目の多結晶層42上に、第2層目の多結晶層46を堆積する。この際には、 α -Si44の表面に露出した、主に比較的大きなグレイン42aを結晶核として、poly-Si46が再成長をするので、粒径が大きくなる。



【特許請求の範囲】

【請求項 1】 原料となる元素を含んだガスを加速電子あるいは熱で分解して基板上に堆積させて、多結晶薄膜を形成するにあたり、

基板上に、第 1 層目の多結晶層を堆積する工程と、
該第 1 層目の多結晶層上に、当該多結晶層を構成する結晶粒を部分的に覆う厚さで、非晶質層を堆積する工程と、

該非晶質層を堆積した前記第 1 層目の多結晶層上に、第 2 層目の多結晶層を堆積する工程とを含むことを特徴とする多結晶半導体薄膜の形成方法。

【請求項 2】 ガラス基板上に、多結晶半導体薄膜としての多結晶シリコン薄膜を、請求項 1 に記載の方法を用いて形成する工程と、

該多結晶シリコン薄膜上の 2 箇所に、互いに離間したオーミック層をそれぞれ形成する工程と、

該オーミック層同士の間の前記多結晶シリコン薄膜上に、絶縁膜を介して制御電極を形成する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、多結晶半導体薄膜の形成方法および薄膜トランジスタ (TFT) の製造方法に関する。

【0002】

【従来の技術】 従来の多結晶薄膜の形成方法の一例が、文献：「電子情報通信学会技術研究報告、ED92-41、SDM92-22、pp. 17-22」に開示されている。この文献によれば、TFT のチャネル層をプラズマ CVD 法を用いて多結晶シリコンを堆積させて形成している。また、プラズマ CVD 法を用いることにより、300℃程度の基板温度でガラス基板上に〈110〉方位に強く配向した多結晶シリコン (以下、poly-Si と表記する) 薄膜を形成することができる。

【0003】

【発明が解決しようとする課題】 ところで、多結晶薄膜の電気特性 (電気伝導度) は、この多結晶薄膜を構成する結晶粒の結晶性、主に粒径に依存する。このため、電気特性の優れた多結晶薄膜を得るためには、大きな結晶粒を得ることが必要である。結晶粒の粒径は、結晶成長時の核密度によって支配される。この粒径を大きくするためには、結晶成長時の SiF₄ ガスの流量を増やす方法が知られている。

【0004】 しかしながら、上記文献にも記載されているように、SiF₄ ガスの流量をあまりに増やすと、結晶性が逆に劣化してしまうという問題点があった。

【0005】 このため、SiF₄ ガスの流量を増やさずに結晶粒の粒径を大きくすることができる、多結晶薄膜の形成方法およびこの形成方法を用いた TFT の製造方法の実現が望まれていた。

【0006】

【課題を解決するための手段】 この出願に係る第 1 の発明の多結晶半導体薄膜の形成方法によれば、原料となる元素を含んだガスを加速電子あるいは熱で分解して基板上に堆積させて、多結晶薄膜を形成するにあたり、基板上に、第 1 層目の多結晶層を堆積する工程と、この第 1 層目の多結晶層上に、この多結晶層を構成する結晶粒を部分的に覆う厚さで、非晶質層を堆積する工程と、この非晶質層を堆積した第 1 層目の多結晶層上に、第 2 層目の多結晶層を堆積する工程とを含むことを特徴とする。

【0007】 また、この出願に係る第 2 の発明の薄膜トランジスタの製造方法によれば、ガラス基板上に、多結晶半導体薄膜としての多結晶シリコン薄膜を、上述した第 1 の発明の多結晶半導体薄膜の形成方法を用いて形成する工程と、この多結晶シリコン薄膜上の 2 箇所に、互いに離間したオーミック層をそれぞれ形成する工程と、このオーミック層同士の間が多結晶シリコン薄膜上に、絶縁膜を介して制御電極を形成する工程とを含むことを特徴とする。

【0008】

【作用】 この出願に係る第 1 の発明の多結晶半導体薄膜の形成方法によれば、まず、第 1 層目の多結晶層を堆積する。この際、この多結晶層を構成する結晶粒の粒径の大きなもの程、この多結晶層の表面での凹凸が大きくなる。従って、結晶粒が大きなもの程、その先端が表面上に突き出ていると考えられる。

【0009】 次に、この多結晶層を構成する結晶粒の一部が覆われる程度の厚さで非晶質層を堆積する。この堆積させる厚さは、第 1 層目の多結晶層の表面の凹凸の大きさよりも薄くする。また、堆積時に表面マイグレーションにより非晶質層の膜厚にむらができることが予想される。その結果、粒径の小さな結晶粒の表面は、粒径の大きなものよりも相対的に窪んでいるので、粒径の大きな結晶粒よりも非晶質層で覆われる確率が高くなる。一方、粒径の大きな結晶粒は、表面での凹凸が大きいため非晶質層で覆われる確率は低くなる。従って、主に粒径の大きな結晶粒のみが非晶質層上に部分的に露出した状態となると考えられる。

【0010】 次に、この非晶質層を堆積した第 1 層目の多結晶層上に、第 2 層目の多結晶層を堆積する。この際、露出した結晶粒を主に核として再成長が始まる結果、結晶核を選択することになり、粒径が増大すると考えられる。

【0011】 また、この出願に係る第 2 の発明の薄膜トランジスタの製造方法によれば、ガラス基板上にチャネル層を形成するにあたり、第 1 の発明の多結晶薄膜の形成方法を用いて多結晶シリコン薄膜を形成するため、結晶性の良いチャネル層を得ることができる。このため、電気特性、例えば素子の動作速度の優れた薄膜トランジスタを製造することが可能となる。

【0012】

【実施例】以下、図面を参照してこの出願に係る第1の発明の多結晶半導体薄膜の形成方法および第2の発明の薄膜トランジスタの形成方法のそれぞれの一例について説明する。尚、図面は、これらの発明が理解できる程度に概略的に示してあるにすぎない。従って、これらの発明は、図示例にのみ限定されるものでないことは明らかである。尚、図では、断面を表すハッチングを一部省略して示している。

【0013】＜第1実施例＞

・PCVD装置の説明

ここでは、薄膜の形成方法の説明に先立ち、図2を参照して、この実施例で使用するプラズマCVD(PCVD)装置について説明する。図2は、PCVD装置の模式図である。この装置の構造自体は従来公知であるので、その詳細な説明は省略するが、この発明の説明の便宜のため、その構造を簡単に説明する。この装置は、反応室10内に下部電極12と上部電極14とを設けている。下部電極12は、モータ16によって回転させることができ、また、下部電極12には、ヒータ制御部18によって制御される加熱ヒータ20が設けてある。また、この下部電極12の上部電極14側の対向面上には基板としてのガラス基板22あるいはその他等を載置できる構造となっている。一方、上部電極14は、ガス導入部24を構成しており、反応室10をプラズマクリーニングするためのガスおよび薄膜の原料ガス導入系26に連結されている。このガス導入系26は、上部電極14のガス吹出し孔から反応室10へとガスを導入できる構造となっている。この実施例では、ガス導入系26として、SiH₄ガス導入系26a、SiF₄ガス導入系26bおよびH₂ガス導入系26cを設けてあり、各ガス導入系26a～cではそれぞれマスフローコントローラ(MFC)28a～cによって個別にガス流量を制御することができる。また、反応室10の真空排気は、排気系30を経てロータリポンプ32および油拡散ポンプ34で行う。さらに、上部電極14は、マッチング回路36を介して高周波電源38と接続し、通常の13.56MHzでrfパワーを反応室10の反応空間に供給できる構造となっている。

【0014】・poly-Si薄膜の形成

次に、この発明の多結晶半導体薄膜の形成方法の実施例について説明する。第1の発明の多結晶半導体薄膜の形成方法によれば、原料となる元素を含んだガスを加速電子あるいは熱で分解して基板上に堆積させて多結晶薄膜を形成する。そこで、第1実施例では、図1を参照して、プラズマCVD法を用いてガラス基板上に多結晶シリコン(poly-Si)薄膜を形成する例について説明する。図1の(A)～(C)は、第1実施例の説明に供する断面工程図である。

【0015】先ず、第1実施例では、ガラス基板22上

に、第1層目の多結晶層42として、poly-Si42を堆積する。

【0016】堆積にあたっては、上述したPCVD装置の反応室10にガラス基板22を設置した後、ロータリポンプ32および油拡散ポンプ34を用いて反応室10の真空排気を行う。ガラス基板22は、加熱ヒータ20により300℃に加熱する。十分に真空排気を行った後、原料ガスとして、SiH₄ガスを10SCCM、SiF₄ガスを500SCCM、H₂ガスを500SCCMの流量でそれぞれ反応室10に導入する。原料ガスを導入し、コンダクタンスバルブ40により反応室10の圧力を300Paに設定する。次に、13.56MHzの高周波(rf)を70W印加して反応室10に導入したガスをプラズマ放電させる。10分間放電させて、第1層目の多結晶層42としてのpoly-Siを約100nmの厚さに堆積させる。

【0017】ガラス基板22上に堆積させた第1層目の多結晶層42を模式的に図1の工程断面図に示す。ガラス基板22上から多数の結晶粒(グレイン)が<110>方位に成長するが、その中で比較的粒径の大きな結晶粒42aは、多結晶層42の表面での凹凸が大きく、粒径の小さな結晶粒42bよりも先端が突き出ている。この凹凸は通常10nm程度である(図1の(A))。

【0018】尚、poly-Si42を堆積する厚さは、薄膜の全体の厚さを薄くする上では薄い程望ましいが、あまりに薄い場合は未だグレインが大きくなっていない。その結果、多結晶層の表面の凹凸が少ないために、後述の非晶質層で部分的に覆うことが困難となる。従って、第1層目の厚さは、約50～200nmであることが望ましい。

【0019】次に、この第1層目の多結晶層42上に、この多結晶層42を構成する結晶粒44を部分的に覆う厚さで、非晶質層44を堆積する。

【0020】この実施例では、非晶質層44を堆積するにあたり、第1層目のpoly-Siを堆積した後、一端放電を止め、SiF₄ガスの導入も止めて、SiH₄ガスとH₂ガスのみを導入する。そして、反応室10の圧力は300Paを保ったまま、この状態で、再び13.56MHzの高周波(rf)を70W印加して反応室10に導入したガスを約10秒間プラズマ放電させる。この放電により非晶質層44としてアモルファスシリコン(α-Si)44が約2nm程度の厚さで堆積する。この厚さは、第1層目のpoly-Si42の表面の凹凸の大きさ(約10nm)よりも薄く、また、表面マイグレーションのために膜厚にむらができることが予想される。このため、主に大きなグレイン42aのみが部分的にα-Siの表面に露出した状態となる(図1の(B))。

【0021】尚、第1層目の多結晶層42の結晶粒が部分的に覆われていることは、例えば、RHED(反射高

速電子線回折)、AFM(原子間力顕微鏡)またはSTM(走査型電子顕微鏡)を用いて確認することが可能である。

【0022】また、非晶質層44の厚さをあまりに薄くすると、第1層目の表面の小さなグレイン42bも露出させてしまい大きなグレイン42aのみを主に露出させることができないので好ましくない。一方、非晶質層44の厚さをあまりに厚くすると、第1層目の表面を全て覆ってしまい大きなグレイン42aのみを主に露出させるということができないので好ましくない。従って、非晶質層44は、約2~4nmの厚さで堆積することが望ましい。

【0023】次に、この非晶質層44を堆積した第1層目の多結晶層42上に、第2層目の多結晶層46を堆積する。

【0024】この実施例では、第2層目の多結晶46を堆積するにあたり、非晶質層の α -Si44を堆積した後、再びSiF₄ガスを500SCCMの流量で導入し、第1層目のpoly-Si42の堆積条件と同一条件で30分間のプラズマ放電を行う。

【0025】第2層目のpoly-Si46を堆積する際には、 α -Si44の表面に露出した、主に比較的大きなグレイン42aを結晶核として、poly-Si46が再成長をする。その結果、比較的大きな結晶核を選択することになり、かつ、結晶核の数が限定されるので、SiF₄ガスの流量を増やすことなくグレインの大きな多結晶半導体薄膜を形成することできる(図1の(C))。

【0026】第1実施例において得られたpoly-Si薄膜のX線回折による(220)反射の半値幅の角度を測定したところ、0.248°という値が得られた。これは、計算上約350Å(35nm)の粒径に相当する。一方、比較例として、第1層目のpoly-Siを堆積した時と同じ条件で40分間プラズマ放電を行って形成したpoly-Si膜の半値幅の角度を測定したところ、0.276°という値が得られた。この値は、計算上約314Å(31.4nm)の粒径に相当する。従って、この実施例では、SiF₄ガスの流量を増やすことなく、結晶粒の粒径が従来よりも大きなpoly-Si薄膜が得られたことが確認できた。

【0027】<第2実施例>第2実施例では、図3を参照して、第2の発明の薄膜トランジスタ(TFT)の製造方法にの一例について説明する。図3の(A)~(C)は、第2実施例の説明に供する断面工程図である。

【0028】まず、ガラス基板50上に、多結晶半導体薄膜としての多結晶シリコン薄膜52を、上述した第1実施例と同じ形成方法を用いて形成する。形成された薄膜は、通常のエッチング技術を用いて、所望の平面パターンに画成してチャンネル層52を得る(図3の

(A))。

【0029】次に、チャンネル層52上の2箇所、互いに離間したオーミック層54をそれぞれ形成する。このため、この実施例では、薄膜上に、n⁺型poly-Si56を100nmの厚さで堆積し、その上にクロム(Cr)58を50nmの厚さで堆積し、通常のエッチング技術を用いてオーミック層54を画成する(図3の(B))。

【0030】次に、このオーミック層54同士の間が多結晶シリコン薄膜52上に、絶縁膜60を介して制御電極(ゲート電極)62を形成する。このため、この実施例では、PCVD法により絶縁膜60としてのSiN_x膜60を形成し、これにコンタクトホール64を形成する。この際Cr層58は、コンタクトホール64形成時のエッチングストップパとして働く。コンタクトホール64形成後、ソース電極66、ドレイン電極68およびゲート電極62をそれぞれ形成する(図3の(C))。

【0031】このようにして得られたTFTは、大画面の液晶ディスプレイパネルやイメージセンサに用いて好適である。

【0032】上述した各実施例では、これら発明を、特定の材料を用い、特定の条件で形成した例について説明したが、これらの発明は多くの変更および変形を行うことができる。例えば、上述した第1実施例では、プラズマCVD法を用いて多結晶半導体薄膜を形成したが、この発明では、成膜方法として、例えば、熱CVD法またはスパッタリング法を用いても良い。例えば、熱CVD法を用いる場合は、成長時の温度を低くすることにより非晶質層を堆積させることができる。また、上述した第1実施例では、多結晶半導体薄膜として、poly-Siを堆積させたが、この発明では、例えば、ゲルマニウムや炭素または、シリコンを初めとするこれらの混晶を堆積させて、ポリシリコンゲルマニウム、ポリゲルマニウムまたはポリシリコンカーバイト等の多結晶半導体薄膜を形成しても良い。

【0033】

【発明の効果】第1の発明の多結晶半導体薄膜の形成方法によれば、非晶質層を堆積した第1層目の多結晶層上に、第2層目の多結晶層を堆積する。この際、露出した結晶粒を主に核として再成長が始まる結果、結晶核を選択することになるため粒径がより増大すると考えられる。

【0034】また、第2の発明の薄膜トランジスタの製造方法によれば、ガラス基板上にチャンネル層を形成するにあたり、第1の発明の多結晶薄膜の形成方法を用いて多結晶シリコン薄膜を形成するため、結晶性の良いチャンネル層を得ることができる。その結果、電気特性、例えば素子の動作速度の優れた薄膜トランジスタを製造することが可能となる。

【図面の簡単な説明】

7

【図1】(A)～(C)は、この発明の多結晶半導体薄膜の形成方法の実施例の説明に供する工程断面図である。

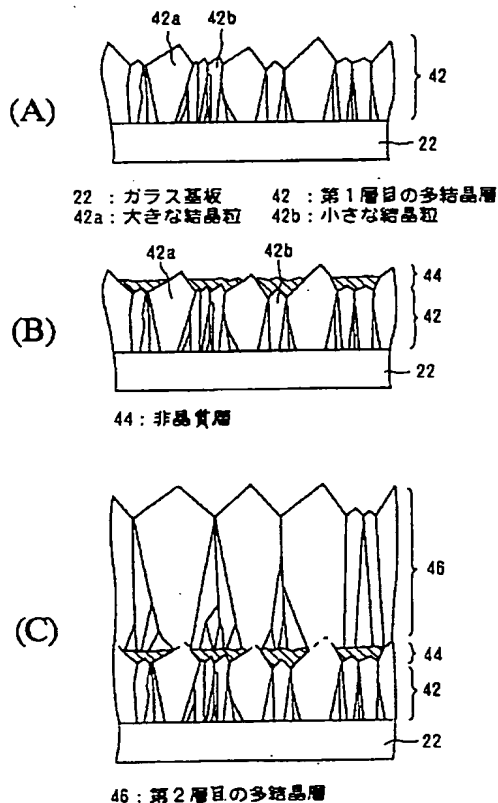
【図2】第1実施例において使用するPCVD装置の模式図である。

【図3】(A)～(C)は、この発明の半導体トランジスタの製造方法の実施例の説明に供する断面工程図である。

【符号の説明】

- 20 : 加熱ヒータ
 22 : ガラス基板
 32 : ロータリポンプ
 34 : 油拡散ポンプ
 36 : マッチング回路
 38 : 高周波電源
 40 : コンダクタンスバルブ

【図1】



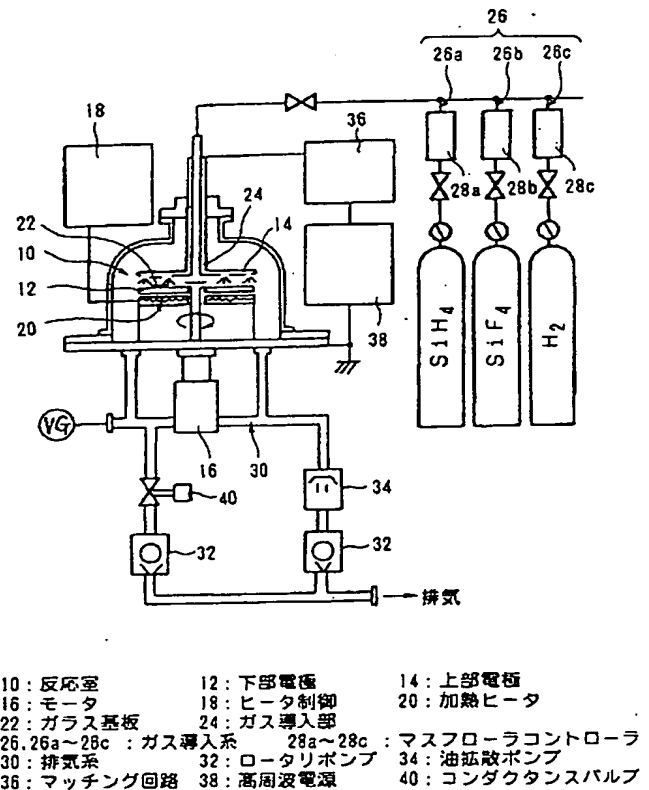
第1実施例

8

- * 42 : 第1層目の多結晶層 (poly-Si)
 42a : 大きな結晶粒
 42b : 小さな結晶粒
 44 : 非晶質層 (α -Si)
 46 : 第2層目の多結晶層 (poly-Si)
 50 : ガラス基板
 52 : 多結晶シリコン基板 (チャネル層)
 54 : オーミック層
 56 : n^+ 型 poly-Si
 58 : Cr
 60 : 絶縁膜 (SiN_x 膜)
 62 : ゲート電極
 64 : コンタクトホール
 66 : ソース電極
 68 : ドレイン電極

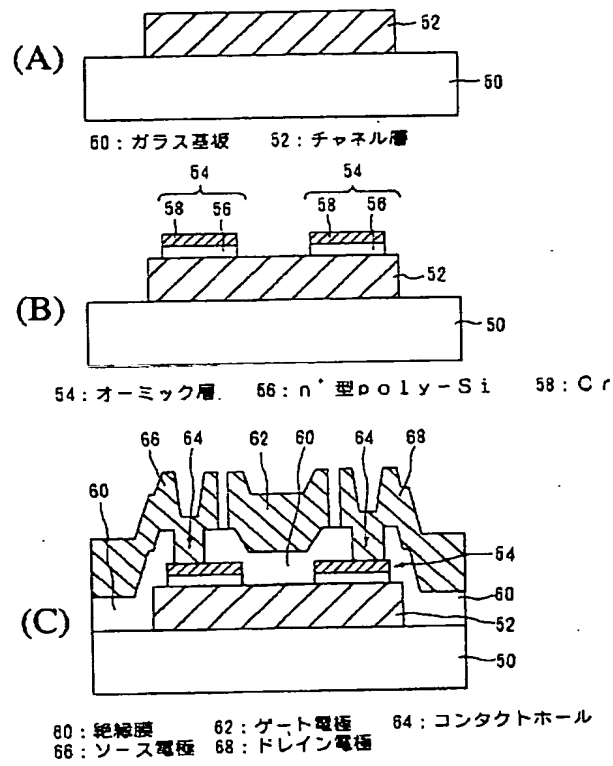
*

【図2】



PCVD装置の模式図

【図 3】



第 2 実施例